

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 29/00

(11) 공개번호 특허2000-0046809
(43) 공개일자 2000년07월25일

(21) 출원번호 10-1998-0063536
(22) 출원일자 1998년12월31일
(71) 출원인 현대반도체 주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 강동완
부산광역시 남구 용호2동 561-22
(74) 대리인 박장원

심사청구 : 없음

(54) 메모리 테스트 회로 및 그의 파일위치 서치방법

요약

본 발명은 메모리 테스트 회로 및 그의 파일위치 서치방법에 관한 것으로, 종래에는 파일된 정보를 캐치 램에 저장함에 있어 패턴으로 부터 3번 읽어들이 저장함으로써 어디서 파일이 발생했는지 알아낼 수 없고, 파일된 정보가 어디에서 발생했는지 알아내기 위해서는 패턴을 한 번만 읽어들이야 하는데 이럴 경우 프로그램 길이가 길어져 많은 테스트 시간이 많이 소요되는 문제점이 있다. 따라서 본 발명은 패턴으로 부터 읽어들이는 데이터와 기존 데이터를 비교하여 패스(PASS) 및 파일(FAIL)상태를 판단하는 비교기(COMP1)와, 상기 비교기(COMP1)에서 파일된 정보를 저장하는 캐치 램(70)과, 상기 비교기(COMP1)에서 파일 발생시 그 발생시점을 연산하여 패턴에서 파일이 발생하는 지점을 계산하는 씨피유(80)와, 상기 씨피유(80)에서 계산된 지점의 정보를 디스플레이장치로 출력하여 디스플레이하여 주도록 한 램(90)을 구비하여, 실시간으로 정확한 파일 위치를 알아내므로 빠른 분석이 가능할 뿐만 아니라 실시간으로 파일이 발생한 위치를 알아낼 수 있으므로 보강한 패턴 구현이 가능하고, 프로그램 길이를 짧게 할 수 있도록 한 것이다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래 메모리 테스트 회로도.

도 2는 본 발명의 메모리 테스트 회로도.

*** 도면의 주요부분에 대한 부호의 설명 ***

10 : 어드레스 발생부 20 : 데이터 발생부
30 : 어드레스 스크램블러 40 : 파형 발생부
50 : 디바이스 언더 테스터부 60 : 비교부
70 : 캐치 램 80 : 씨피유
90 : 램

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 실시간으로 정확한 파일(FAIL) 위치를 서치하기 위한 메모리 테스트 회로 및 그의 파일위치 서치방법에 관한 것으로, 특히 파일된 위치를 패턴이 진행되는 시간으로 찾아냄으로써 빠른 테스트와 분석이 가능하도록 함과 아울러 복잡한 패턴을 구현할 수 있도록 한 메모리 테스트 회로 및 그의 파일위치 서치방법에 관한 것이다.

도 1은 종래의 메모리 테스트 회로도로서, 이에 도시된 바와같이, 램에 들어갈 어드레스를 만드는 어드레스 발생부(10)와, 상기 어드레스 발생부(10)에서 발생한 어드레스에 라이트될 데이터를 만들어주는 데이터 발생부(20)와, 상기 어드레스 발생부(10)에서 발생한 어드레스를 스크램블링하여 발생시키는 어드

레스 스크램블러(3)와, 상기 데이터 발생부(20)에서 발생된 데이터와 어드레스 스크램블러(30)에서 발생된 스크램블링된 어드레스를 이용하여 프로그램 신호로 바꾸어주는 파형 발생부(40)와, 상기 파형 발생부(40)에서 발생된 신호를 테스트 패턴에 라이트하고, 그 테스트 패턴으로 부터 데이터를 읽어들이는 디바이스 언더 테스터부(50)와, 상기 디바이스 언더 테스터부(50)에서 읽어들이는 데이터와 기준 데이터를 비교하여 패일된 데이터를 캐치 램(70)에 라이트하는 비교부(60)로 구성된다.

이와같이 구성된 종래기술에 대하여 살펴보면 다음과 같다.

어드레스 발생부(10)에서 램에 들어갈 어드레스를 발생시키면, 데이터 발생부(20)는 그 어드레스에 라이트할 데이터를 생성하여 출력시키고, 어드레스 스크램블러(30)는 상기 어드레스 발생부(10)에서 발생시킨 어드레스를 스크램블링하여 출력시킨다.

그러면 파형 발생부(40)는 데이터 발생부(20)에서 발생시킨 데이터와 어드레스 스크램블러(30)에서 발생된 스크램블링된 어드레스를 이용하여 실제 사용할 프로그램 신호로 바꾸어 디바이스 언더 테스터부(50)로 제공한다.

그러면 상기 디바이스 언더 테스터부(50)는 테스트패턴에 신호를 제공한 후 테스트 패턴으로 부터 데이터를 읽어들이 비교부(60)로 출력시킨다.

이에 상기 비교부(60)는 디바이스 언더 테스터부(50)에서 제공한 데이터와 기준 데이터를 비교하여 패일(FAIL)된 데이터인지 아닌지를 판단한다.

판단 결과, 패일된 데이터이면 캐치 램(70)에 저장한다.

상기 디바이스 언더 테스터부(50)에서 패턴에 데이터를 라이트하고 읽어들이는 과정에 대하여 살펴보면, 상기 디바이스 언더 테스터부(50)는 어드레스를 증가시키면서 전 칩에 '0'을 라이트한다.

그런다음 1셀을 읽고나서 그 셀에 '1'을 쓴다. 이를 전 칩에서 진행한다.

그리고 어드레스를 반대로 감소시키면서 전 칩에 '1'을 라이트하고, 셀을 읽고나서 그 셀에 '0'을 쓴다. 이를 전 칩에서 진행한다.

상기 전 칩에서 '0'을 읽는다.

이렇게 읽어들이 '1' 또는 '0'을 비교부(60)로 제공한다.

이에 상기 비교부(60)는 기준 데이터와 비교하여 패일이 발생하면 캐치 램(70)에 저장한다.

발명이 이루고자하는 기술적 과제

그러나, 상기에서와 같은 종래기술에서, 패일된 정보를 캐치 램에 저장함에 있어 패턴으로 부터 3번 읽어들이 저장함으로써 어디서 패일이 발생했는지 알아낼 수 없는 문제점과, 패일된 정보가 어디에서 발생했는지 알아내기 위해서는 패턴을 한 번만 읽어들이야 하는데 이럴 경우 프로그램 길이가 길어져 많은 테스트 시간이 많이 소요되는 문제점이 있다.

따라서 상기에서와 같은 종래의 문제점을 해결하기 위한 본 발명의 목적은 실시간으로 정확한 패일 위치를 알아낼 수 있도록 한 메모리 테스트 회로 및 그의 패일위치 서치방법을 제공함에 있다.

본 발명의 다른 목적은 복잡한 패턴에서도 빠른 테스트가 가능하도록 한 메모리 테스트 회로 및 그의 패일위치 서치방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 패턴에서 읽어들이는 정보와 기준 데이터를 비교하여 패스(PASS)상태인지 패일(FAIL)상태인지를 판단하는 제1단계와, 상기에서 패일상태로 판단하면 그 패일정보를 캐치 램에 저장하는 제2단계와, 상기 제1단계에서 패일상태로 판단시 내부클럭을 이용하여 발생시점을 연산하여 패턴에서 패일이 발생된 지점을 계산하는 제3단계와, 상기에서 계산된 지점의 특정정보를 램으로 부터 읽어들이 디스플레이장치에 디스플레이하는 제4단계로 이루어진다.

이하, 첨부한 도면에 의거하여 상세히 살펴보면 다음과 같다.

본 발명 메모리 테스트 회로의 패일위치 서치방법은, 패턴에서 읽어들이는 정보와 기준 데이터를 비교하여 패스(PASS)상태인지 패일(FAIL)상태인지를 판단하는 제1단계(S11)와, 상기에서 패일상태로 판단하면 그 패일정보를 캐치 램에 저장하는 제2단계(S12)와, 상기 제1단계(S11)에서 패일상태로 판단시 내부클럭을 이용하여 발생시점을 연산하여 패턴에서 패일이 발생된 지점을 계산하는 제3단계(S13)와, 상기에서 계산된 지점의 특정정보를 램으로 부터 읽어들이 디스플레이장치에 디스플레이하는 제4단계(S14)로 이루어진다.

상기에서와 같이 각 단계로 이루어진 방법을 수행하기 위한 본 발명 메모리 테스트 회로는, 도 2에 도시한 바와같이, 패턴으로 부터 읽어들이는 데이터와 기준 데이터를 비교하여 패스(PASS) 및 패일(FAIL)상태를 판단하는 비교기(COMP1)와, 상기 비교기(COMP1)에서 패일된 정보를 저장하는 캐치 램(70)과, 상기 비교기(COMP1)에서 패일 발생시 그 발생시점을 연산하여 패턴에서 패일이 발생하는 지점을 계산하는 씨피유(80)와, 상기 씨피유(80)에서 계산된 지점의 정보를 디스플레이장치로 출력하여 디스플레이하여 주도록 한 램(90)으로 구성된다.

이와같이 구성된 본 발명의 동작 및 작용 효과에 대하여 상세히 설명하면 다음과 같다.

비교기(COMP1)는 테스트 패턴에서 읽어들이는 정보와 기준 데이터를 비교하여 패스(PASS)상태인지 패일(FAIL)상태인지를 판단한다.(S11)

판단 결과, 테스트 패턴에서 읽어들이는 정보와 기준 데이터가 동일하여 패스 상태(PASS)이면 그대로 두고, 상기 테스트 패턴에서 읽어들이는 정보와 기준 데이터가 상이하여 패일(FAIL)상태로 판단하면, 이 판단된 패일정보를 캐치 램(70)에 저장함과 더불어 씨피유(80)에 패일이 발생했음을 알린다.(S12)

상기 비교기(COMP1)로부터 패일정보를 받아들이는 씨피유(80)는 내부에 있는 클럭을 이용하여 패일정보를 받아들이는 시점(현재 시간)을 연산하고, 테스트 패턴에서 패일이 발생하는 지점을 계산하여 램(90)에 전송한다.(S13)

그러면 상기 램(90)은 씨피유(80)에서 발생한 지점의 정보를 선택하여 디스플레이장치로 전송하여 디스플레이하도록 한다.(S14)

따라서 상기 디스플레이장치에 디스플레이되는 정보를 보고 패일이 발생한 지점을 알 수 있게 된다.

그리고 상기 씨피유(80)는 또 다른 패일이 발생할 때 까지 초기조건으로 돌아간다.

상기에서와 같이 씨피유(80)에서 실시간으로 패일의 원인을 규명할 수 있어 빠른 분석이 가능하고, 패일이 발생한 정확한 위치를 알아낼 수 있으므로 복잡한 패턴 구현이 가능하다.

아울러 패일이 발생한 위치를 빨리 알아내므로 프로그램 길이를 짧게 할 수 있다.

발명의 효과

따라서, 본 발명은 실시간으로 정확한 패일 위치를 알아내므로 빠른 분석이 가능할 뿐만 아니라 실시간으로 패일이 발생한 위치를 알아낼 수 있으므로 보강한 패턴 구현이 가능하고, 프로그램 길이를 짧게 할 수 있도록 한 효과가 있다.

(57) 청구의 범위

청구항 1

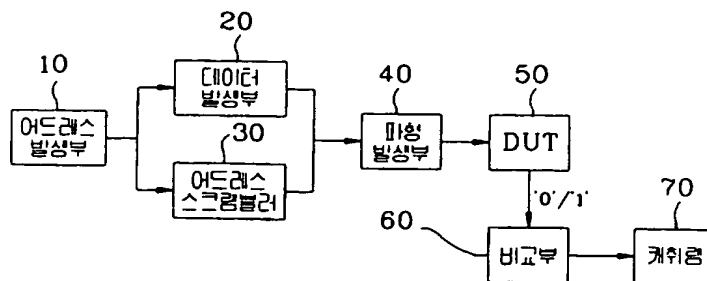
패턴으로 부터 읽어들이는 데이터와 기준 데이터를 비교하여 패스(PASS) 및 패일(FAIL)상태를 판단하는 비교기(COMP1)와, 상기 비교기(COMP1)에서 패일된 정보를 저장하는 캐치 램(70)과, 상기 비교기(COMP1)에서 패일 발생시 그 발생시점을 연산하여 패턴에서 패일이 발생하는 지점을 계산하는 씨피유(80)와, 상기 씨피유(80)에서 계산된 지점의 정보를 디스플레이장치로 출력하여 디스플레이하여 주도록 한 램(90)으로 구성된 것을 특징으로 하는 메모리 테스트 회로.

청구항 2

패턴에서 읽어들이는 정보와 기준 데이터를 비교하여 패스(PASS)상태인지 패일(FAIL)상태인지를 판단하는 제1단계와, 상기에서 패일상태로 판단하면 그 패일정보를 캐치 램에 저장하는 제2단계와, 상기 제1단계에서 패일상태로 판단시 내부클럭을 이용하여 실시간으로 발생시점을 연산하여 패턴에서 패일이 발생한 지점을 계산하는 제3단계와, 상기에서 계산된 지점의 특정정보를 램으로부터 읽어들이어 디스플레이장치에 디스플레이하는 제4단계로 이루어진 것을 특징으로 하는 메모리 테스트 회로의 패일위치 서치방법.

도면

도면1



도면2

